

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07065054 A**(43) Date of publication of application: **10.03.95**

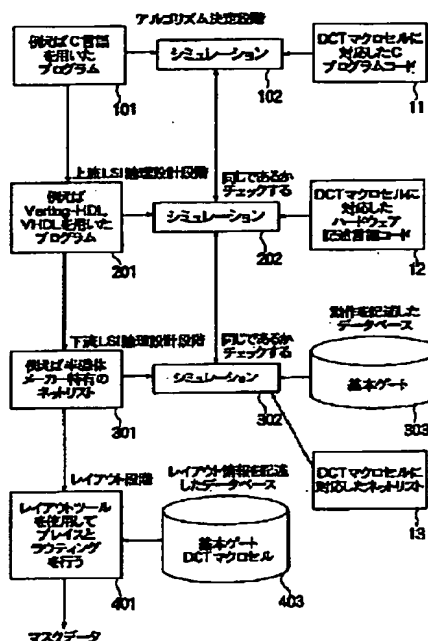
(51) Int. Cl.

G06F 17/50
G06F 9/06(21) Application number: **05210617**(71) Applicant: **SONY CORP**(22) Date of filing: **25.08.93**(72) Inventor: **OKI MITSU HARU****(54) MACROCELL GENERATOR AND INTEGRATED CIRCUIT DESIGNING METHOD****(57) Abstract:**

PURPOSE: To provide a macrocell generator and an integrated circuit designing method in order to reduce the burden of a system designer when an algorithm is decided for designing an integrated circuit.

CONSTITUTION: A C program code 11, a VHDL code 12, a net list of a DCT macrocell which are automatically produced by a macrocell generator and also the DCT macrocell that is used as the layout information are registered in a data base, etc., respectively. Then each registered information is quoted or referred to by a system designer when a program 101 described in a C language, a program 201 described in the code 12, a net list 301 and the mask data are produced. Thus, the burden of the system designer is reduced in an algorithm deciding step, an upstream LSI logic designing step, a downstream LSI logic designing step and a layout step respectively.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-65054

(43) 公開日 平成7年(1995)3月10日

(51) IntCl.⁴

G 0 6 F 17/50
9/06

識別記号

庁内整理番号

5 3 0 V 9367-5B
7623-5L

F I

G 0 6 F 15/ 60

3 7 0 K

技術表示箇所

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平5-210617

(22) 出願日 平成5年(1993)8月25日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 大木 光晴

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

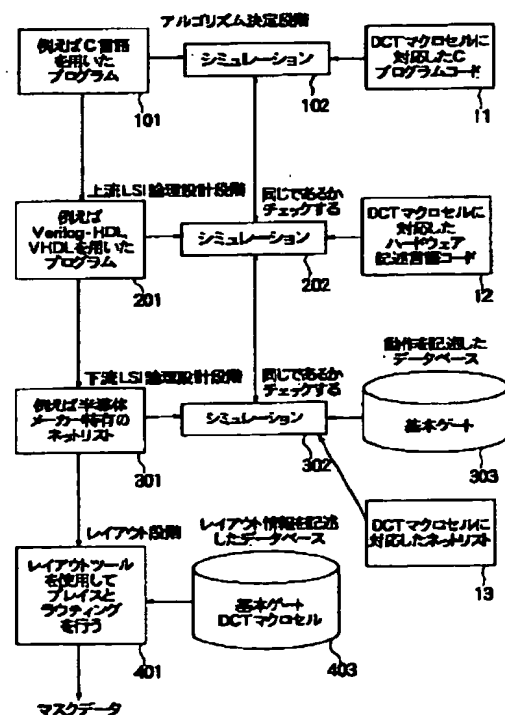
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 マクロセルジェネレータおよび集積回路設計方法

(57) 【要約】

【目的】 集積回路設計のアルゴリズム決定段階におけるシステム設計者の負担を軽減することができるマクロセルジェネレータおよび集積回路設計方法を提供する。

【構成】 マクロセルジェネレータによって自動的に作成された、DCTマクロセルのCプログラムコード11、VHDLコード12、ネットリスト13およびレイアウト情報として用いられるDCTマクロセルをそれぞれデータベースなどに登録する。そして、システム設計者が、C言語によるプログラム101、VHDLによるプログラム201、ネットリスト301およびマスクデータの作成を行う際に、上記登録された各情報を引用あるいは参照することで、アルゴリズム決定段階、上流LSI論理設計段階、下流LSI論理設計段階およびレイアウト段階におけるシステム設計者の負担が軽減される。



1

【特許請求の範囲】

【請求項1】 入力されたパラメータに応じて、

集積回路のレイアウトを行う段階において使用され、集積回路が有する特定の機能を示すマクロセルと、集積回路のアルゴリズムを決定する段階において使用され、前記マクロセルが示す機能のうち、時間的な要素を含まない機能を示すプログラムコードとを作成するマクロセルジェネレータ。

【請求項2】 さらに、集積回路の論理設計段階において使用され、予め用意された特定の基本ゲートおよび基本ゲートの接続状態を用いて前記マクロセルに応じたネットリストを作成することを特徴とする請求項1記載のマクロセルジェネレータ。

【請求項3】 さらに、集積回路の論理設計段階において使用され、ハードウェア記述言語による前記マクロセルに応じたプログラムコードを作成することを特徴とする請求項1または請求項2記載のマクロセルジェネレータ。

【請求項4】 入力されたパラメータに応じて、集積回路設計における論理設計段階において使用されるマクロセルのハードウェア記述言語によるプログラムコードと、

集積回路のアルゴリズムを決定する段階において使用され、前記マクロセルが示す機能のうち、時間的な要素を含まない機能を示すプログラムコードとを作成するマクロセルジェネレータ。

【請求項5】 入力されたパラメータに応じて、集積回路設計における論理設計段階において使用され、予め用意された特定の基本ゲートおよび基本ゲートの接続状態を用いた、マクロセルのネットリストと、集積回路のアルゴリズムを決定する段階において使用され、前記マクロセルが示す機能のうち、時間的な要素を含まない機能を示すプログラムコードとを作成するマクロセルジェネレータ。

【請求項6】 前記アルゴリズムを決定される段階において使用されるプログラムコードは、C言語を用いて記述されたことを特徴とする請求項1～5いずれか記載のマクロセルジェネレータ。

【請求項7】 請求項1記載のマクロセルジェネレータを用いて作成したマクロセルおよびプログラムコードをライブラリとして登録し、アルゴリズム決定段階において、前記ライブラリとして登録されたプログラムコードを引用してプログラムを作成し、集積回路のレイアウトを行う段階において、前記ライブラリとして登録されたマクロセルを用いて、マスクデータを作成する集積回路設計方法。

【請求項8】 アルゴリズム決定段階において、前記ライブラリに登録されたプログラムコードを参照しながら、前記作成されたプログラムに応じたシミュレーションを

2

行うことを特徴とする請求項7記載の集積回路設計方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、集積回路のレイアウトを行う段階において使用されるマクロセルに対応した、アルゴリズム決定段階において使用されるプログラムコードを自動的に作成するマクロセルジェネレータ、および、プログラムコードを利用した集積回路設計方法に関する。

【0002】

【従来の技術】 以前は、基板上に多数のICを配置してシステムを具現化していたが、半導体技術の進歩に伴い、近年では単体のLSIでシステムを具現化することが多い。この場合に、システムの設計者は、例えば図7に示すような集積回路の設計方法によって、アルゴリズム決定段階、上流LSI論理設計段階、下流LSI論理設計段階およびレイアウト段階といった手順でシステムをLSIに具現化する。

【0003】 アルゴリズム決定段階：例えば、汎用性の高い高級言語であるC言語を用いて、システムの設計仕様に応じたアルゴリズムを記述したプログラム101を作成し、このプログラムを実行させてシミュレーション102を行い、その結果が設計仕様に応じたものであるか否かを確認する。この段階では、通常、システムにおける処理の実行タイミングなどの時間的な概念は考慮されない。

【0004】 上流LSI論理設計段階：例えば、LSI設計用のVerilog-HDL (Hardware Description Language)あるいはV (VHSLC) HDLなどのハードウェア記述言語を用いて、上位概念での論理設計を行う。この上位概念での論理設計では、必ずしもゲートレベルではなく、ゲートレベルより多少上位のレベルで、システムの機能をそのまま記述したプログラム201を作成し、このプログラム201を実行させてシミュレーション202を行い、その結果と上記アルゴリズム決定段階におけるシミュレーション102の結果との同一性を確認する。この段階では、システムにおける処理の実行タイミングなどの時間的な概念も考慮され、例えば、特定のデータが特定の時刻にどのレジスタに記憶されているかなどがレジスタトランスファーレベルでプログラムに記述される。

【0005】 下流LSI論理設計段階：上記ハードウェア記述言語を用いて作成されたプログラムと等価な、半導体メーカーのネットリスト301を作成する。このネットリスト301には、半導体メーカーが用意しているANDゲート、ORゲート、フリップフロップおよび全加算器などの基本ゲート、および、それらの基本ゲートの接続状態などが記述されており、システムに含まれる複数の機能が、各機能ごとにマクロセルとして記述されてい

3

る。例えば、システムがDCT（離散コサイン変換）の計算を行う機能を有している場合には、システム設計者はDCTの機能に応じたマクロセルをネットリスト301に記述する。次に、上記ネットリスト301を用いたシステムのシミュレーション302を、基本ゲートの動作に関する記述を保持するデータベースを303を参照しながら行い、その結果と、上記アルゴリズム決定段階および上流LSI論理設計段階におけるシミュレーション202の結果との同一性を確認する。

【0006】レイアウト段階：上記下流LSI論理設計段階にて作成されたネットリストを用いてLSIのレイアウト設計401を行う。この段階では、基本ゲートのレイアウト情報を保持するデータベース402を参照しながら、LSI生産過程において基本ゲートをプレースしたり基本ゲート間の配線をラウティングしたりするときに用いられるマスクデータを作成する。そして、半導体工場で、上記作成されたマスクデータに応じたLSIが生産される。

【0007】しかしながら、上述した従来の手順によれば、下流LSI論理設計段階において、システムの各機能ごとにマクロセルを記述してネットリスト301を作成することは、システム設計者にとって大きな負担となっていた。このようなシステム設計者の負担を軽減するために、論理合成ツールを用いて、ハードウェア記述言語を用いて作成されたプログラム201をネットリスト301に自動的に変換することも可能であるが、この場合、システム設計者が自らネットリスト301を作成した場合に比べて、設計された回路の面積、動作速度および消費電力などの面で好ましい結果が得られないという問題がある。

【0008】上述したような問題を解決するために、三菱電機技法、Vol. 67, No. 3・1993, p16-20は、画像圧縮LSIにおいて頻繁に使用される機能を記述したマクロセルをライブラリとして登録し、セルベース、即ち、画像圧縮LSIが有する機能ブロック単位の設計においてシステム設計者が必要とするマクロセルを引用できるようにすることで、システム設計者の負担を軽減し、システム設計者が画像圧縮LSI全体の設計に専念できるようにするという概念を開示する。この概念を用いれば、システム設計者のセルベース設計における負担を軽減することが可能となる。

【0009】

【発明が解決しようとする課題】しかし、上記三菱電機技法、Vol. 67, No. 3・1993, p16-20には、システムをLSIに具現する上記アルゴリズム決定段階、上流LSI論理設計段階、下流LSI論理設計段階およびレイアウト段階において、ライブラリに登録されたマクロセルを具体的にどのように利用するかについては開示されていない。また、アルゴリズム設計段階においては各システム設計者は自ら例えばDCT計算な

4

どのマクロセルに対応した情報をC言語のサブルーチンとしてプログラムに記述しなければならず、アルゴリズム決定段階におけるシステム設計者の負担が大きいという問題がある。

【0010】本発明は、上述した従来技術の問題に鑑みてなされ、LSI設計の各段階において、ライブラリに登録したマクロセルを効果的に利用し、LSI設計におけるシステム設計者の負担を軽減することができるマクロセルジェネレータおよび集積回路設計方法を提供することを目的とする。また、本発明は、LSI設計のアルゴリズム設計段階におけるシステム設計者の負担を軽減することができるマクロセルジェネレータおよび集積回路設計方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上述した従来技術の問題を解決し、上述した目的を達成するために、本発明のマクロセルジェネレータは、入力されたパラメータに応じて、集積回路のレイアウトを行う段階において使用され、集積回路が有する特定の機能を示すマクロセルと、集積回路のアルゴリズムを決定する段階において使用され、前記マクロセルが示す機能のうち、時間的な要素を含まない機能を示すプログラムコードとを作成する。

【0012】マクロセルジェネレータによって作成されたマクロセルおよびプログラムコードはライブラリとして登録され、集積回路設計過程において利用される。つまり、アルゴリズム決定段階において、前記ライブラリとして登録されたプログラムコードを引用してプログラムを作成し、集積回路のレイアウトを行う段階において、前記ライブラリとして登録されたマクロセルを用いて、マスクデータを作成する。

【0013】また、本発明のマクロセルジェネレータは、入力されたパラメータに応じて、集積回路設計における論理設計段階において使用されるマクロセルのハードウェア記述言語によるプログラムコードと、集積回路のアルゴリズムを決定する段階において使用され、前記マクロセルが示す機能のうち、時間的な要素を含まない機能を示すプログラムコードとを作成する。

【0014】また、本発明のマクロセルジェネレータは、入力されたパラメータに応じて、集積回路設計における論理設計段階において使用され、予め用意された特定の基本ゲートおよび基本ゲートの接続状態を用いた、マクロセルのネットリストと、集積回路のアルゴリズムを決定する段階において使用され、前記マクロセルが示す機能のうち、時間的な要素を含まない機能を示すプログラムコードとを作成する。

【0015】

【作用】本発明のマクロセルジェネレータでは、システム設計者がキーボードなどの操作することによって、パラメータが入力され、このパラメータに応じて、集積回路のレイアウトを行う段階において使用され、集積回路

5

が有する特定の機能を示すマクロセルと、集積回路のアルゴリズムを決定する段階において使用され、前記マクロセルが示す機能のうち、時間的な要素を含まない機能を示すプログラムコードとをが作成される。

【0016】また、本発明の集積回設計方法では、前記マクロセルジェネレータによって作成されたマクロセルおよびプログラムコードがライブラリとして登録され、アルゴリズム決定段階において前記ライブラリとして登録されたプログラムコードを引用してプログラムが作成され、集積回路のレイアウトを行う段階において前記ライブラリとして登録されたマクロセルを用いてマスクデータが作成される。

【0017】

【実施例】第1実施例について説明する。本実施例では、前述したアルゴリズム決定段階および上流LSI論理設計段階におけるシステム設計者の負担を軽減することができるマクロセルジェネレータ、および、マクロセルジェネレータによって作成されたDCTマクロセルに対応したCプログラムコードおよびVHDLプログラムコードをLSIの設計過程において利用する方法について説明する。

【0018】図1は本実施例のマクロセルジェネレータ1を説明するための図である。図1に示すように、マクロセルジェネレータ1は、システム設計者がキーボードなどを操作することによって入力されたパラメータに応じて、後述するようにDCT機能を有するLSIの設計過程の前述した上流LSI論理設計段階において利用される、ハードウェア記述言語であるVHDLによるVHDLプログラムコード12と、前述したアルゴリズム作成段階において利用される、C言語によるCプログラムコード11とをDCTマクロセルに応じて自動的に作成する。

【0019】ここで、DCTマクロセルとは、設計対象であるLSIの構成要素のうち、DCT計算を行う構成要素の集合を示すブロックをいう。

【0020】上記パラメータは、例えば、DCTマクロセルの入出力語長、動作周波数、演算精度、マクロセルのサイズ、および、その機能がForward専用、Inverse専用あるいはForward/Inverse兼用のいずれであるかに関する情報である。

【0021】VHDLプログラムコード12には、DCTマクロセルの構成および機能に関する情報が、ゲートレベルより多少上位のレベルでVHDLを用いて記述されている。Cプログラムコード11には、DCTマクロセルの設計仕様に応じたアルゴリズムが汎用性の高いC言語で記述されている。

【0022】マクロセルジェネレータ1によって作成されたVHDLプログラムコード12およびCプログラムコード11は、DCT機能を有するLSI設計過程において以下のように利用される。図2は、DCT機能を有

6

するLSIの設計過程を説明するための図である。図2に示す設計過程のうち、前述した図7に示す従来の設計過程と同じ符号を用いた部分は、従来の設計過程と同じである。図2に示すように、本実施例におけるLSIの設計過程では、アルゴリズム決定段階でC言語を用いたプログラム101に応じたシミュレーション102を行う際に、マクロセルジェネレータ1によって作成されたDCTマクロセルのCプログラムコード11を参照することができる。このDCTマクロセルのCプログラムコード11は、シミュレーション102が実行される計算機などのメモリに、複数のシステム設計者の共有財産であるライブラリとして予め登録されている。従って、システム設計者はCプログラムコード11を引用したかたちでプログラム101を作成することができ、システム設計者間における重複した労力が軽減され、プログラム101の作成に伴うシステム設計者の負担が軽減される。

【0023】また、本実施例におけるLSIの設計過程では、上流LSI論理設計段階でハードウェア記述言語であるVHDLを用いたプログラム201に応じたシミュレーション202を行う際に、マクロセルジェネレータ1によって作成されたDCTマクロセルのVHDLプログラムコード12を参照することができる。このDCTマクロセルのVHDLプログラムコード12は、Cプログラムコード11と同様に、シミュレーション202が実行される計算機などのメモリに、複数のシステム設計者の共有財産であるライブラリとして予め登録されている。従って、システム設計者はVHDLプログラムコード12を引用したかたちでプログラム201を作成することができ、システム設計者間における重複した労力が軽減され、プログラム201の作成に伴うシステム設計者の負担が軽減される。

【0024】上述したように、本実施例のマクロセルジェネレータ1によれば、VHDLプログラムコード12およびCプログラムコード11をマクロセルに応じて自動的に作成することができ、作成されたVHDLプログラムコード12およびCプログラムコード11を利用することで、VHDLによるプログラム201およびC言語によるプログラム101を作成する際のシステム設計者の負担を軽減することができる。

【0025】第2実施例について説明する。本実施例では、前述したアルゴリズム決定段階および下流LSI論理設計段階におけるシステム設計者の負担を軽減することができるマクロセルジェネレータ、および、マクロセルジェネレータによって作成されたDCTマクロセルに対応したCプログラムコードおよびネットリストをLSIの設計過程において利用する方法について説明する。

【0026】図3は本実施例のマクロセルジェネレータ2を説明するための図である。図3に示すように、マクロセルジェネレータ2は、システム設計者がキーボード

7

などを操作することによって入力されたパラメータに応じて、後述するようにDCT機能を有するLSIの設計過程の前述した下流LSI論理設計段階において利用されるネットリスト13と、アルゴリズム決定段階において利用される、C言語によるCプログラムコード11とをDCTマクロセルに応じて自動的に作成する。

【0027】上記パラメータは、例えば、DCTマクロセルの入出力語長、動作周波数、演算精度、マクロセルのサイズ、および、その機能がForward専用、Inverse専用あるいはForward/Inverse兼用のいずれであるかに関する情報である。

【0028】ネットリスト13には、DCTマクロセルの構成および機能に関する情報が、半導体メーカーが用意している基本ゲートおよび基本ゲートの接続状態を用いて、記述されている。Cプログラムコードには、DCTマクロセルの設計仕様に応じたアルゴリズムが汎用性の高いC言語で記述されている。

【0029】マクロセルジェネレータ1によって作成されたネットリスト13およびCプログラムコード11は、DCT機能を有するLSI設計過程において以下のように利用される。図4は、DCT機能を有するLSIの設計過程を説明するための図である。図4に示す設計過程のうち、前述した図2に示す第1実施例と同じ符号を用いた部分は、第1実施例の設計過程と同じである。すなわち、アルゴリズム決定段階における手順は、上述した第1実施例の場合と同様である。

【0030】本実施例におけるLSIの設計過程では、下流LSI論理設計段階でネットリスト301に応じたシミュレーション202を行う際に、マクロセルジェネレータ1によって作成されたDCTマクロセルのネットリスト13を参照することができる。このDCTマクロセルのネットリスト13は、上述した第1実施例のCプログラムコード11と同様に、シミュレーション302が実行される計算機などのメモリに、複数のシステム設計者の共有財産であるライブラリとして予め登録されている。従って、システム設計者はネットリスト13を引用したかたちでネットリスト301を作成することができ、システム設計者間における重複した労力が軽減され、ネットリスト301の作成に伴うシステム設計者の負担が軽減される。

【0031】上述したように、本実施例のマクロセルジェネレータ1によれば、ネットリスト13およびCプログラムコード11をDCTマクロセルに応じて自動的に作成することができ、作成されたネットリスト13およびCプログラムコード11を利用することで、ネットリスト301およびC言語によるプログラム101を作成する際のシステム設計者の負担を軽減することができる。

【0032】第3実施例について説明する。本実施例では、LSI論理設計過程における、前述したアルゴリズム

8

ム決定段階、上流LSI論理設計段階、下流LSI論理設計段階およびレイアウト段階の全ての段階において、システム設計者の負担を軽減することができるマクロセルジェネレータ、および、マクロセルジェネレータによって作成されたレイアウト情報に用いられるDCTマクロセル、DCTマクロセルに対応したCプログラムコード、VHDLプログラムコードおよびネットリストをLSIの設計過程において利用する方法について説明する。

【0033】図5は本実施例のマクロセルジェネレータ3を説明するための図である。図5に示すように、システム設計者がキーボードなどを操作することによって入力されたパラメータに応じて、マクロセルジェネレータ3は、DCTマクロセルに対応した、Cプログラムコード11、VHDLプログラムコード12、ネットリスト13、および、レイアウト情報に用いられるマクロセル14を自動的に作成する。

【0034】レイアウト情報に用いられるマクロセル14には、レイアウト段階において、DCTマクロセルに応じて、LSI生産過程において基本ゲートをプレースしたり基本ゲート間の配線をラウティングしたりするときに用いられるマスクデータを作成する際に必要な情報が記述されている。

【0035】上記パラメータは、例えば、DCTマクロセルの入出力語長、動作周波数、演算精度、マクロセルのサイズ、および、その機能がForward専用、Inverse専用あるいはForward/Inverse兼用のいずれであるかに関する情報である。

【0036】Cプログラムコード11、VHDLプログラムコード12、ネットリスト13は、上述した第1実施例および第2実施例において述べたものと同じである。

【0037】マクロセルジェネレータ3によって作成されたCプログラムコード11、VHDLプログラムコード12、ネットリスト13およびレイアウト情報に用いられるマクロセル14は、DCT機能を有するLSI設計過程において以下のように利用される。図6は、DCT機能を有するLSIの設計過程を説明するための図である。図6に示す設計過程のうち、前述した図2および図4に示す従来の設計過程と同じ符号を用いた部分は、第1実施例および第2実施例の設計過程と同じである。すなわち、アルゴリズム決定段階、上流LSI論理設計段階および下流LSI論理設計段階における手順は、上述した第1実施例および第2実施例の場合と同じである。

【0038】本実施例におけるLSIの設計過程では、レイアウト段階でマスクデータを作成する際に、レイアウト情報に用いられるマクロセル14を参照することができる。このDCTマクロセルのマクロセル14は、レイアウト情報を記述したデータベース403に基本ゲ

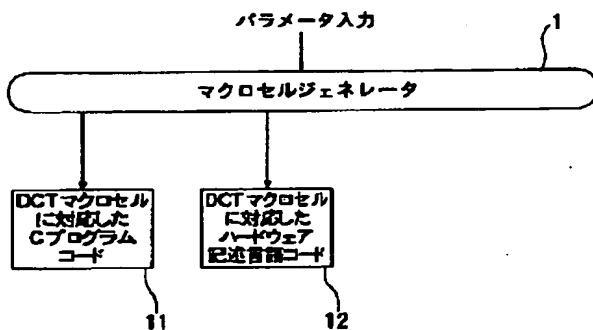
トに関する情報と共に、複数のシステム設計者の共有財産として予め登録されている。システム設計者は、レイアウト段階において、計算機などを用いてマスクデータを作成する際に、データベース403を参照することで、マクロセル14を利用することができ、レイアウト段階におけるシステム設計者の負担が軽減される。

【0039】上述したように、本実施例のマクロセルジェネレータ3によれば、DCTマクロセルに対応した、Cプログラムコード11、VHDLプログラムコード12、ネットリスト13、および、レイアウト情報として用いられるマクロセル14を自動的に作成することができ、これらをLSI設計過程において利用することで、アルゴリズム決定段階、上流LSI論理設計段階、下流LSI論理設計段階およびレイアウト段階の全ての段階におけるシステム設計者の負担が軽減される。

【発明の効果】上述したように、本発明のマクロセルジェネレータおよび集積回路設計方法によれば、いわゆるレイアウト段階およびアルゴリズム決定段階におけるシステム設計者の負担を軽減することができる。また、本発明のマクロセルジェネレータによれば、いわゆる上流LSI論理設計段階およびアルゴリズム決定段階におけるシステム設計者の負担を軽減することができる。さらに、本発明のマクロセルジェネレータによれば、いわゆる下流LSI論理設計段階およびアルゴリズム決定段階におけるシステム設計者の負担を軽減することができる。

【図面の簡単な説明】

【図1】



【図1】第1実施例のマクロセルジェネレータを説明するための図である。

【図2】第1実施例におけるLSI設計過程を説明するための図である。

【図3】第2実施例のマクロセルジェネレータを説明するための図である。

【図4】第2実施例におけるLSI設計過程を説明するための図である。

【図5】第3実施例のマクロセルジェネレータを説明するための図である。

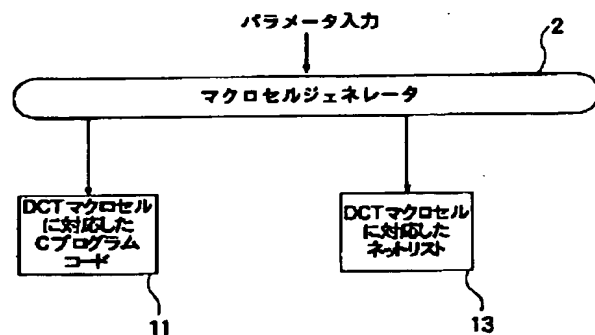
【図6】第3実施例におけるLSI設計過程を説明するための図である。

【図7】従来のLSI設計過程を説明するための図である。

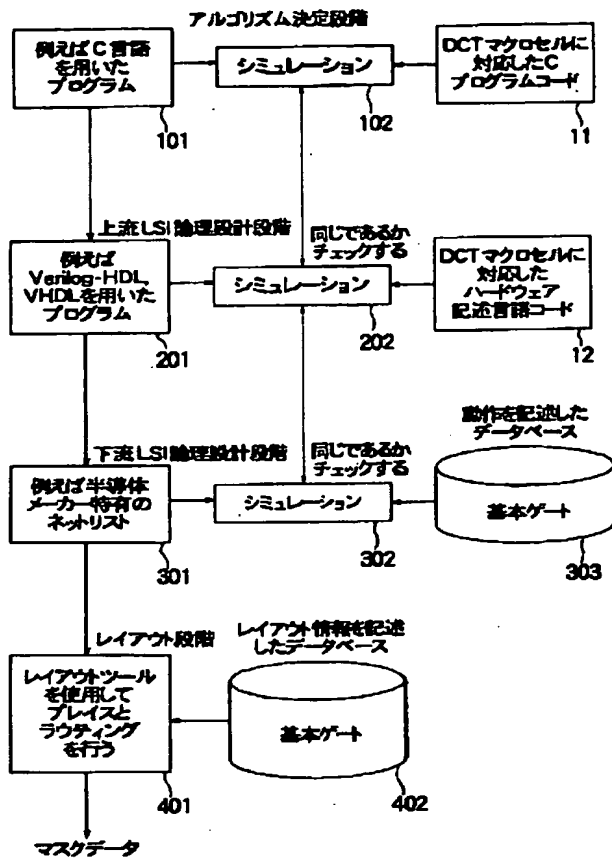
【符号の説明】

- 1、2、3・・・マクロセルジェネレータ
- 11・・・Cプログラムコード
- 12・・・VHDLプログラムコード
- 13・・・DCTマクロセルに対応したネットリスト
- 14・・・レイアウト情報として用いられるマクロセル
- 101・・・C言語を用いたプログラム
- 102、202、302・・・シミュレーション
- 201・・・VHDLを用いたプログラム
- 301・・・ネットリスト
- 303、402、403・・・データベース
- 401・・・マスクデータの作成

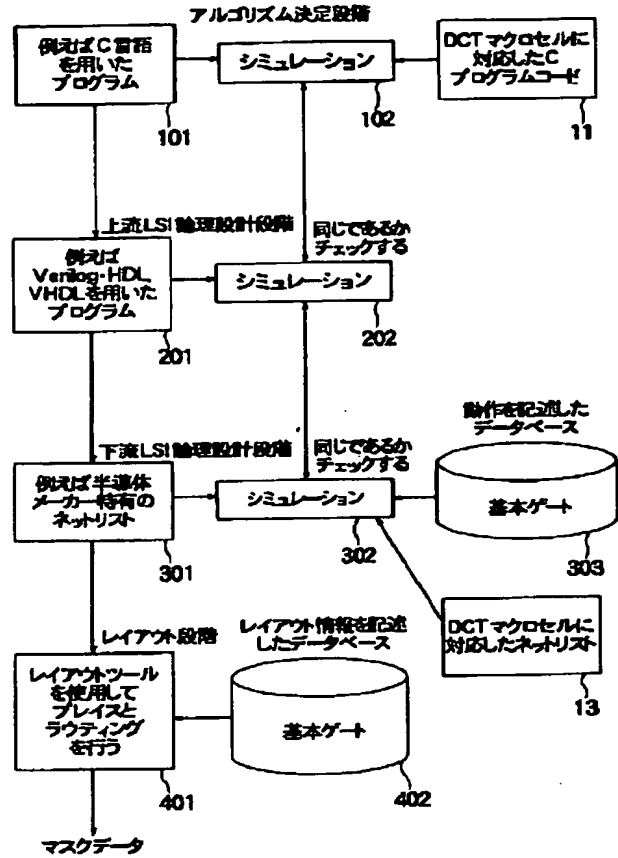
【図3】



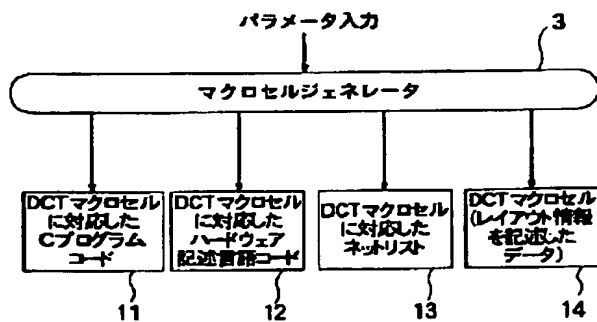
【図 2】



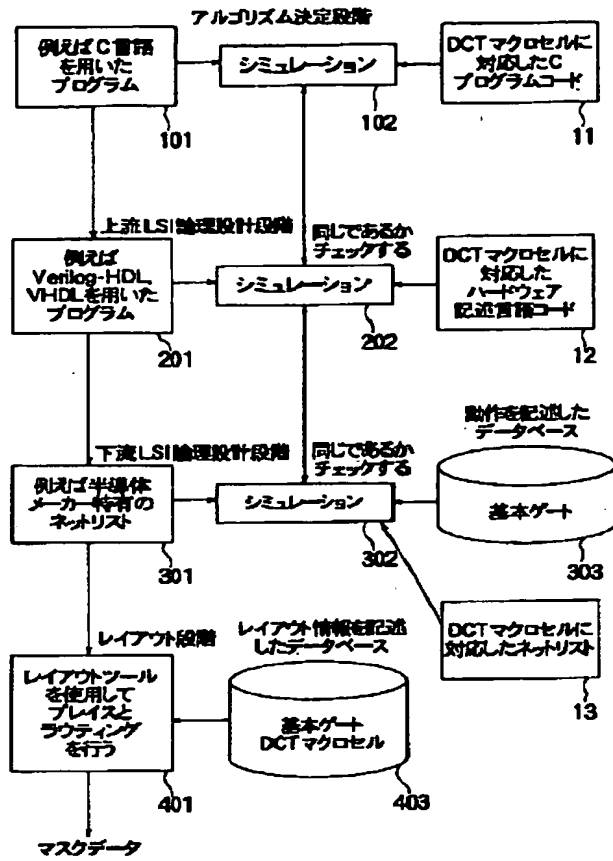
【図 4】



【図 5】



【図6】



【図7】

